

IMAGE DISPLAY DEVICE

Patent number: JP63073295
Publication date: 1988-04-02
Inventor: TAKESADA HAJIME
Applicant: SANYO ELECTRIC CO
Classification:
- **international:** G09G3/36; H04N5/66
- **european:**
Application number: JP19860219982 19860917
Priority number(s): JP19860219982 19860917

Report a data error here

Abstract not available for JP63073295

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-73295

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)4月2日

G 09 G 3/36
H 04 N 5/66

1 0 2

8621-5C
B-7245-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 画像表示装置

⑯ 特 願 昭61-219982

⑰ 出 願 昭61(1986)9月17日

⑱ 発 明 者 武 貞 肇 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称 画像表示装置

2. 特許請求の範囲

(1) 複数の画素がマトリックス状に配置されたアクティブマトリックスパネルの各行及び各列を夫々所定周波数のクロックパルスにより選択して前記各画素を駆動してなる画像表示装置において、前記クロックパルスをカウントして2進カウント値を導出するカウンタと、このカウンタ出力をデコードして前記各行及び若しくは各列に、前記クロックパルスに同期して順次シフトするパルスを発生せしめるデコーダとを上記アクティブマトリックスパネル上に並設してなり、該デコーダをカウンタの2進カウント値に 대응するpチャンネル薄膜トランジスタとqチャンネル薄膜トランジスタとで構成した事の特徴とする画像表示装置。

(2) 上記デコーダの出力回路をpチャンネル薄膜トランジスタとqチャンネル薄膜トランジスタとで構成してなる特許請求の範囲第1項記載の画像表示装置。

3. 発明の詳細な説明

(1) 産業上の利用分野

本発明は液晶マトリックスパネルを用いた画像表示装置に関する。

(2) 従来の技術

第6図は液晶TV装置に用いられるアクティブマトリックス液晶パネルを採用した液晶表示装置を示す図であり、この様な装置は例えば特開昭57-41078号公報に記載されている。

同図において、アクティブマトリックス型の液晶パネル(1)はX方向にn列、Y方向にm行の画素を有し、m×n個のアモルファスシリコン(a-si)よりなるTFT(薄膜トランジスタ)(1a)及び液晶電圧(1b)が図示の如くマトリックス状に接続され、各行(G1、G2、…Gm)及び各列(D1、D2、…Dn)は夫々、行ドライバ(2)及び列ドライバ(3)に接続されている。前記行ドライバはm段のシフトレジスタ(2a)及び出力回路(2b)により構成され、前記列ドライバはn段のシフトレジスタ(3a)、サンプルホールド回路(3b)

及び出力回路(3c)により構成される。(4)は同期制御回路であり、水平同期信号(Hp)及び垂直同期信号(Vp)に基づいて第1、第2スタートパルス(ST1)(ST2)及び第1、第2クロックパルス(CP1)(CP2)を作成する。

第7図は行ドライバの各波形を示す図であり同図(a)は映像信号を表わし、第6図の垂直同期信号(Vp)及び水平同期信号(Hp)が重畳されている。図中、T1は垂直同期信号区間、T2は垂直帰線区間、T3は映像信号区間である。

シフトレジスタ(2a)には第7図(b)(c)の垂直同期信号に同期した第1スタートパルス(ST1)及び水平同期信号に同期した第1クロックパルス(CP1)が与えられ、各行G1、G2…には(d)(e)(f)に示す如く1H(1水平期間)ずつずらされた電圧波形が印加される。この電圧波形により水平帰線区間において各行のTF T(1a)を順次ONさせ各画素に液晶駆動電圧を印加する。

一方、列ドライバ(3)の各部波形は第8図に示すようになる。列ドライバは各1H区間において同

段当りの遅延時間はクロック周期の $\frac{1}{4}$ 以内としなければ動作しない。即ち、前記トランジスタには比較的スイッチング速度の速いものが必要となるため、液晶パネル(II)に用いられている α -S i T F Tの様なスイッチング速度の遅いトランジスタは用いることができなかった。

この為、本願出願人は、駆動回路の一部に比較的スイッチング速度の遅いトランジスタを用いることのできる画像表示装置をすでに提案している(特願昭61-108964)。所る既提案の画像表示装置は第4図に示す如くシフトレジスタを用いなくて、クロックパルスをカウントして2進カウント値及びその反転出力を導出するカウンタ(50)(60)と、このカウンタ出力をデコードしてマトリックスパネル(II)の各行及び若しくは各列に前記クロックパルスに同期して順次シフトするパルスを発生せしめるデコーダ(51)(61)とで駆動回路を構成したものである。

(イ) 発明が解決しようとする問題点

上述の如き既提案の従来装置においては、そ

じ動作をくりかえす。第8図(a)はT3における1H区間を引き延ばして描いた映像信号である。図中、T4は水平同期信号区間及び水平帰線区間、T5は映像情報の含まれる区間である。

シフトレジスタ(3a)には第8図(b)(c)に示す水平同期信号に同期した第2スタートパルス(ST2)及びその周期 $\tau = T5/n$ の周波数の第2クロックパルス(CP2)が与えられ、シフトレジスタ(3a)の各段の出力には同図(d)(e)(f)に示すように順次 τ ずつずらされたパルスが出力される。サンプルホールド回路(3b)の各段は対応する各段の前記シフトレジスタの出力により制御され、該出力の立下りにより映像信号の電圧値をサンプルし次のサンプル時まで(1Hの間)ホールドする。出力回路(3c)はサンプルホールド回路の出力を受けて緩衝増巾し列電極を駆動する。

上述の駆動回路におけるシフトレジスタはデータの伝送はシフトレジスタ一段当たり4個のトランジスタをクロック(ϕ , $\bar{\phi}$)により順次スイッチすることにより行なわれるため、トランジスタ1

のデコーダ(51)(61)にはカウンタ(50)(60)からの出力として、第5図に示す如く、各ビットの信号線a、bのみならず、それ等の反転信号 \bar{a} 、 \bar{b} が入力される。即ち、カウンタ碼あるいは(60)がNビットカウンタであつたなら、デコーダ(51)への入力として2N本が必要となり、この2N本の信号線がデコーダ(51)のトランジスタのゲートに結合されるのである。従って、信号線の増加によりデコーダ(51)回路の構成の複雑化を招いたり、製造歩留りの低下を来す恐れがあった。

(ロ) 問題点を解決するための手段

本発明の画像表示装置は、前記クロックパルスをカウントして2進カウント値を導出するカウンタと、このカウンタ出力をデコードして前記各行及び若しくは各列に、前記クロックパルスに同期して順次シフトするパルスを発生せしめるデコーダとをアクティブマトリックスパネル上に並設してなり、該デコーダをカウンタの2進カウント値に相当するpチャンネル薄膜トランジスタとqチャンネル薄膜トランジスタとで構成したものであ

る。

树 作 用

本発明の画像表示装置によれば、カウンタの2進カウント値をpチャンネル並びにqチャンネルの薄膜トランジスタにてデコードでき、2進カウント値の反転出力を用いないでよい。従って、デコード回路へのカウンタからの入力線を半減せしめられる。

4 实例

第1図及び第2図に本発明の画像表示装置の駆動回路の異なる実施例を示す。第1図に於いて、2進カウンタの第1のビットaは第1及び第3の行信号線のp型TFT401、第2及び第4の行信号線のn型TFT402の各ゲートに接続され、第2のビットbは第1及び第2の行信号線のp型TFT403、第3及び第4の行信号線のn型TFT404の各ゲートに接続されている。

今、カウンタ周は2ビット4出力構成であり、
カウンタが0の時その出力は $a = ^0 0$ 、 $b = ^0 0$ 。
カウンタが1の時その出力は $a = ^1 1$ 、 $b = ^0 0$ 。

このようにしてカウンタ回の歩進に従って、ゲート信号G1~G4が順次Hi/Lととなり、液晶パネルを駆動するのである。

又、第2図の実施例に於いて、第1図の実施例と異なる所はその出力回路(52')にある。即ち該回路(52')はpチャンネルTFT34024044とnチャンネルTFT40404040とを相補的に接続したものであり、スイッチングの時以外はpチャンネルTFTかnチャンネルTFTかの何れかのTFTがOFFとなっているので、電流消費が小さい。

第3図にpチャンネルTFTとnチャンネルTFTとを同一基板、即ちアクティブマトリクスパネル上に形成する工程を示す。同図(a)に示す如く、まずアクティブマトリクスパネルのガラス基板(a)上にTFTのソース及びドレイン電極となる1T0又は金からなる導電膜(100)を付け所定のパターンにフォトリソグラフィによりパターンニングする。次に同図(b)に示す如く、nチャンネルTFTのソース、ドレイン極(200)(200)となるn型のアモルファスシリコンを付けバ

カウンタが2の時その出力は $a = "0"$ 、 $b = "1"$ 。
 カウンタが3の時その出力は $a = "1"$ 、 $b = "1"$ と
 真理値を設定した場合、このデコーダ(51)では
 $"0"$ に相当する負の電圧信号がpチャンネルT
 FETをONとし、 $"1"$ に相当する正の電圧信号
 がnチャンネルTFTをOFFとする。従って、
 今カウンタが0の時TFT040404がON、TFT
 240404がOFFとなるので、デコーダ(51)
 からの4出力、1～4の内ON状態のTFT04
 04が作用する第1の出力信号、1のみがHigh
 となる。従って、nチャンネルTFT04040404
 040404によって構成された出力回路(52)では、
 TFT04がONするので、4ゲート信号($G_1 \sim$
 G_4)の内、第1のゲート信号 G_1 のみがHigh
 となる。

次にカウンタ値が0から1に歩進したなら、デ
コード(51)のTFTの20個の値がON、TFTの
個々の値がOFFとなり、出力信号 ϕ 2のみがHigh、従ってゲート信号G 2のみがHighとなる。

ターニングする。この上にpチャンネルTFTのソース、ドレイン極(300)(300)となるp型のアモルファスシリコンを付け先のn型のアモルファスシリコン(200)(200)が残存するように同図(c)に示す如く、パターニングする。

さらに、同図(d)に示す如く、両TFTの動作領域(400)となるi型(真性)のアモルファスシリコンを付けパターンニングする。同図(e)に示す如くこの上にてゲート絶縁膜(6)となるSiO₂、Si₃N₄等の絶縁膜を付ける。最後に、同図(f)に示す如く、ゲート電極(500)となるアルミニウムの如き導電膜を付けパターンニングする。

以上の説明に於いては、ゲート信号線側の駆動回路について本発明を実施しておりますが、ドレイン信号線側の駆動回路に採用し得る事は云うまでもない。

(1) 発明の効果

本発明の画像表示装置によれば、アコースティックチャンネル薄膜トランジスタとビデオチャンネル薄膜トランジスタとを共通のゲート電圧で駆動することにより、アコースティックチャンネル薄膜トランジスタのゲート電圧を、ビデオチャンネル薄膜トランジスタのゲート電圧に同期させることができる。これにより、アコースティックチャンネル薄膜トランジスタのゲート電圧を、ビデオチャンネル薄膜トランジスタのゲート電圧に同期させることができる。これにより、アコースティックチャンネル薄膜トランジスタのゲート電圧を、ビデオチャンネル薄膜トランジスタのゲート電圧に同期させることができる。

膜トランジスタとの組合せ回路にて構成している
ので、カウンタからの2進カウント値を用いてそ
の反転出力を用いなくて、デコードできる。従っ
て、デコード回路へのカウンタからの入力線を半
減せしめて、デコードの構成の簡略化、並びに歩
留の改善が図れる。

4. 図面の簡単な説明

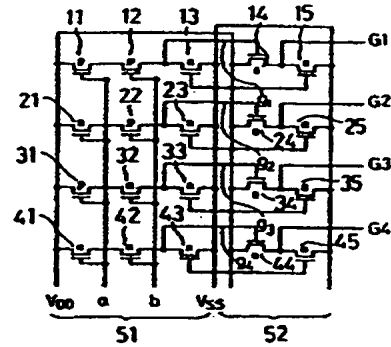
第1図及び第2図は本発明の画像表示装置の駆
動部分の異なる実施例の回路図、第3図(a)乃至(f)
は本発明装置の製造工程順の断面図、第4図は既
提案装置のブロック図、第5図は既提案装置の駆
動部分回路図、第6図は従来装置のブロック図、
第7図及び第8図は信号波形図である。

(1)マトリクスパネル、(50)(60)---カウンタ、
(51)(61)---デコード、(52)(63)---出力回路。

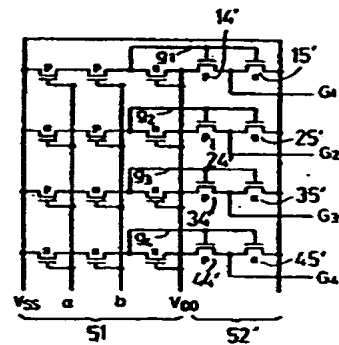
出願人 三洋電機株式会社

代理人 弁護士 西野卓爾(外1名)

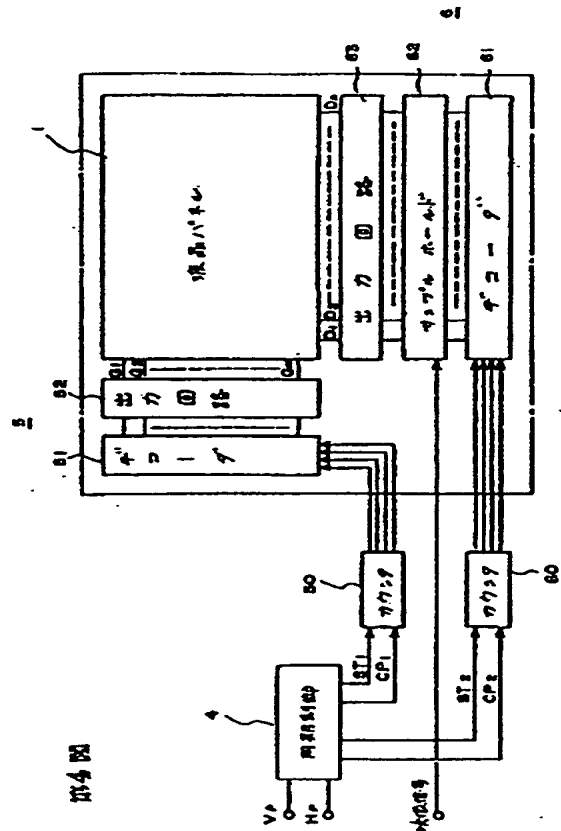
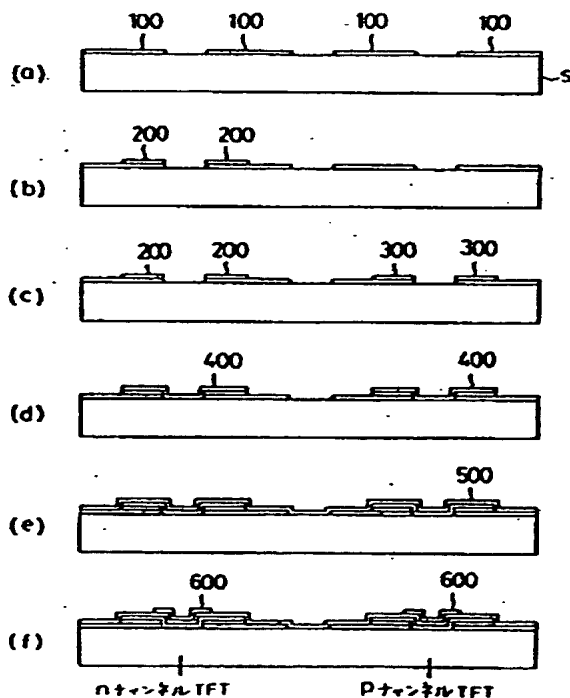
第1図



第2図

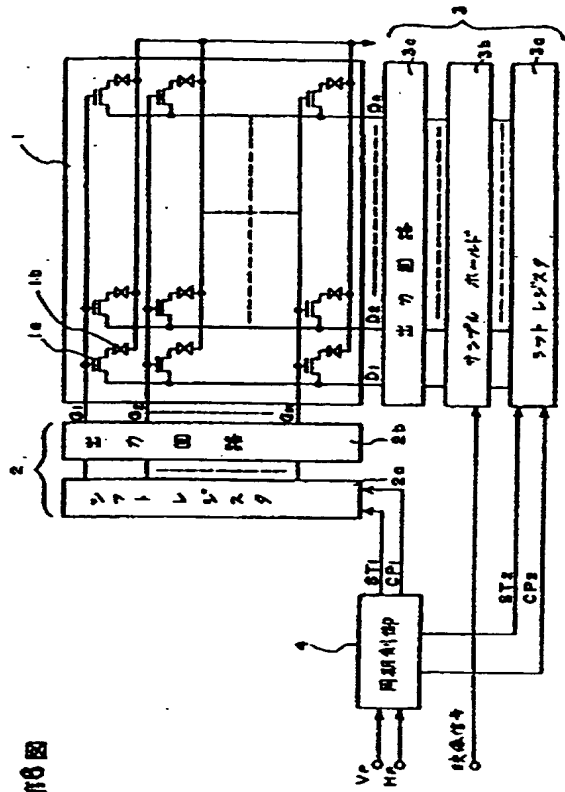
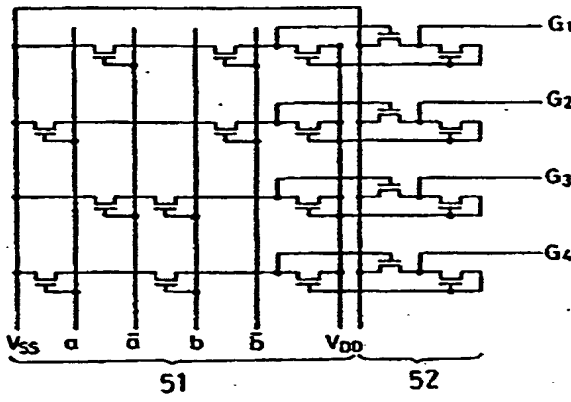


第3図



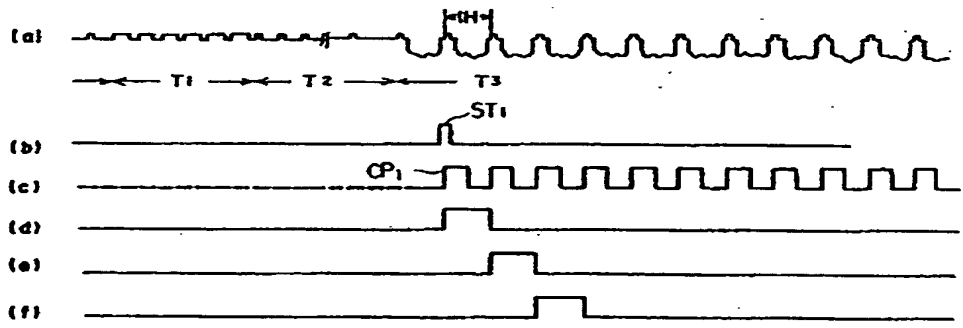
第4図

第5図



第6図

第7図



第8図

